

PROPUESTA PARA LA ENSEÑANZA DE ARQUITECTURA DE COMPUTADORES

Lenin Lemus, Maria Angeles Pinar

Universidad Politécnica de Valencia
e-mail:lemus@disca.upv.es, mapinar@disca.upv.es

Resumen: A finales del siglo XX, los procesadores han tenido una influencia decisiva en el quehacer humano y los podemos encontrar en la mayoría de los dispositivos electrónicos utilizados por el hombre; sobra decir que su arquitectura ha requerido de una evolución rápida y constante. Se prevé que en la primera década del siglo XXI los procesadores tengan un papel aún más determinante en el diseño de sistemas electrónicos.

John Hennesy, expone que hasta ahora nos hemos dedicado a aumentar el rendimiento de los procesadores sin preocuparnos de su estructura interna, por lo que ahora se debe pensar en la estructura interna de los procesadores.

Por otro lado, los sistemas empotrados se están desarrollando mediante técnicas de diseño concurrente (codiseño) utilizando particionamiento vertical aunque se prevé que en la próxima década se utilice particionamiento horizontal, debido una vez más a la utilización de procesadores.

Con lo dicho hasta ahora, se puede ver que en el transcurso de la primera década del siglo XXI, se requiera la implementación de herramientas de diseño de aplicaciones informáticas basadas en procesadores a medida.

Al profesorado encargado de impartir asignaturas relacionadas con la Arquitectura de Computadores en la Universidad Politécnica de Valencia (UPV) nos parece coherente que el futuro Ingeniero en Informática esté preparado para afrontar el diseño tanto de herramientas de diseño como de aplicaciones informáticas basadas en procesadores a medida. Sin embargo se nos plantea el siguiente problema:

¿Cómo es posible lograr presentar a los futuros ingenieros las bases de la arquitectura de computadores, la aplicación de los procesadores para resolver problemas reales y las tendencias futuras sin crear un caos en los planes de estudio?

1.- INTRODUCCION.

A finales del siglo XX una parte muy significativa de los aparatos electrónicos se basan en procesadores.

La forma de diseñarlos ha evolucionado a una velocidad vertiginosa y aunado a este hecho se debe tomar en cuenta que los procesos de fabricación también han mejorado hasta el punto que hoy en día es posible integrar en una sola pastilla de silicio varios millones de transistores.

La tendencia futura es la de integrar sistemas empotrados en una sola pastilla (SoC). Esto es tener uno o varios procesadores mas dispositivos de E/S en un solo circuito integrado con el fin de abaratar costes de producción, aumentar la fiabilidad de los sistemas, disminuir el consumo de potencia y ocupar el mínimo espacio físico. Un buen ejemplo de este tipo de sistemas lo constituyen los teléfonos móviles.

Sin embargo, los sistemas empotrados no son los únicos que hacen amplio uso de los procesadores. Estos también están siendo más y más utilizados en computadores personales, en los computadores de bolsillo (palm tops), y, por supuesto, en el diseño de dispositivos para comunicaciones. Debido a esta amplia gama de aplicaciones, la arquitectura de los procesadores es variada.

En lo que respecta a los sistemas empotrados se utilizan arquitecturas orientadas a tener altas prestaciones en cálculo matemático (procesamiento digital de imágenes, etc). En este tipo de sistemas se están utilizando dispositivos lógicos programables y la tendencia es diseñar arquitecturas reconfigurables.

Mientras tanto, las arquitecturas de los computadores personales se orientan a altas prestaciones en lo que se refiere a la ejecución de las instrucciones.

Se ha previsto que el espectacular aumento en las prestaciones de los procesadores diseñados en el ocaso del siglo XX no pueden ser mantenidos si se sigue diseñando de la misma forma. Es por esta razón por la cuál se investigan nuevas arquitecturas basadas en el paralelismo. Ejemplos de estas técnicas las tenemos en EPIC (Explicitly Parallel Instruction Computing) y en las arquitecturas que tratan de explotar el paralelismo a nivel de instrucciones.

Llegados a este punto nos encontramos con la problemática de la enseñanza de la arquitectura de computadores en las aulas universitarias.

¿A qué debemos dar más énfasis en las aulas, a la enseñanza de las arquitecturas que se han convertido en las tradicionales (arquitectura i386, arquitectura SPARC, etc) o a enseñar las nuevas arquitecturas (EPIC, Arquitecturas ILP, etc).

La solución salomónica sería presentar las dos. Sin embargo, dado que en nuestra Universidad se tienen dos titulaciones de Ingeniero Superior en Informática, la primera en Gestión (ISIG) y la segunda en Sistemas (ISIS), ¿qué se debería enseñar a cada uno de ellos y qué parte debería ser común?

Desde el punto de vista de los profesores que imparten la asignatura optativa "*Diseño de Procesadores*" (DPO) que se imparte en el tercer año de la titulación nos estamos planteando el presentar a los alumnos las nuevas arquitecturas que tratan de sacar provecho del paralelismo a nivel de instrucción.

La ponencia ha sido organizada de la siguiente forma:

- En la primera sección se presenta la organización actual de la asignatura DPO.
- En la segunda sección se presenta la nueva organización propuesta de DPO.
- En la tercera sección se presentan una serie de comentarios respecto a lo que esperamos.
- Finalmente, en el apéndice A se presenta un resumen de la arquitectura EPIC [1], mientras que en el apéndice B se presenta un resumen de las arquitecturas reconfigurables [2].

2.- DISEÑO DE PROCESADORES

Diseño de Procesadores es una asignatura optativa ofertada en el segundo semestre del tercer año de las titulaciones Ingeniero Superior en Informática de Sistemas (ISIS) e Ingeniero Superior en Informática de Gestión (ISIG) de la Facultad de Informática de la UPV.

Cuenta con seis créditos, tres de los cuáles se utilizan para lección magistral y los tres restantes se dedican a prácticas de laboratorio.

La metodología empleada se explica en la referencia [3], mientras que la relación de DPO con otras asignaturas relacionadas con la enseñanza de la arquitectura de computadores se puede consultar en la referencia [4].

a) Objetivos

Los objetivos de esta asignatura se pueden agrupar en dos clases, los didácticos y los pedagógicos. Desde el punto de vista didáctico se pretende presentar al alumno el diseño de procesadores desde un punto de vista cualitativo.

En lo que respecta a los objetivos pedagógicos, se desea que el alumno busque, analice y presente información de acuerdo a sus intereses personales.

b) Temario

Los temas se agrupan en tres bloques.

Bloque 1: Ley de Amhdal e interpretación de cómo mejorar las prestaciones de los procesadores

- Introducción
- Tema 1: Fundamentos del diseño de computadores.
- Tema 2: Prestaciones y costes

Bloque 2: Estudio comparativo de CPU's comerciales

- Tema 3: Diseño de repertorios de instrucciones: Alternativas y principios
- Tema 4: Técnicas básicas de Implementación de procesadores

Bloque 3: Memoria y dispositivos de Entrada/Salida.

- Tema 5: Diseño de la Jerarquía de Memoria
- Tema 6: Diseño del subsistema de Entrada/Salida I
- Tema 7: Diseño del subsistema de Entrada/Salida II

c) Prácticas

- Práctica I: Estudio de mercado. Comparación precio/prestaciones de sistemas comerciales.
- Práctica II: Estudio de la frecuencia de utilización de las instrucciones.
- Práctica III: Influencia del juego de instrucciones en el diseño de la UCP. Estudio comparativo de UCP's reales. (Algunas familias de procesadores propuestas como casos de estudio: Intel 80x86, Motorola 68K, MIPS Rx000, PA RISC (HP), AMD y otros clónicos, etc.).
- Práctica IV: Evaluación de prestaciones en las memorias cache.

3. PROPUESTA DE LA ASIGNATURA DISEÑO DE PROCESADORES

a) Objetivos

Se pretende mantener los objetivos básicos de la asignatura descritos en el apartado anterior.

En cuanto a los objetivos pedagógicos nos siguen pareciendo perfectamente válidos y no creemos necesarias modificaciones en la metodología seguida, ya que los resultados obtenidos son aceptables.

Es en los objetivos didácticos donde vemos necesario introducir un factor nuevo que es la actualización de los contenidos transmitidos a los alumnos. Sin abandonar los conceptos básicos de la materia se quiere introducir a los alumnos las nuevas tendencias en la materia del diseño de procesadores.

Para ello se requieren algunas modificaciones en el temario impartido, así como en las prácticas realizadas en el laboratorio; aunque es complicado realizar modificaciones significativas, debido a los pocos créditos asignados a la asignatura.

b) Temario

En cuanto al temario se han realizado las siguientes modificaciones:

- En el Bloque 1 se introducen los conceptos básicos de las arquitecturas VLIW e ILP.
- En el Bloque 2 se elimina el Tema 4 y se sustituye por *Arquitecturas de los procesadores EPIC y VLIW*.
- Y, por último, en el Bloque 3 se reduce el tiempo dedicado a la Entrada/Salida y se introduce el tema de Hardware Reconfigurable.

El temario propuesto queda de la siguiente forma:

- Bloque 1: Ley de Amhdal e interpretación de cómo mejorar las prestaciones de los procesadores
- Introducción
 - Tema 1: Fundamentos del diseño de computadores. **Fundamentos de las arquitecturas VLIW e ILP.**
 - Tema 2: Prestaciones y costes

Bloque 2: Estudio comparativo de Arquitecturas de CPU's.

- Tema 3: Diseño de repertorios de instrucciones: Alternativas y principios
- Tema 4: **Arquitecturas de los procesadores EPIC y VLIW.**

Bloque 3: Memoria y dispositivos de Entrada/Salida.

- Tema 5: Diseño de la Jerarquía de Memoria
- Tema 6: Diseño del subsistema de Entrada/Salida
- Tema 7: **Hardware Reconfigurable**

b) Prácticas

En cuanto a las prácticas impartidas en laboratorio se han reestructurado también con el fin de dar cabida a los nuevos conceptos introducidos en el temario.

A continuación se detalla la nueva estructura de las prácticas de laboratorio, remarcando las modificaciones realizadas.

- Práctica I: Estudio de mercado. Comparación precio/prestaciones de sistemas comerciales.
- Práctica II: **Estudio de la arquitectura de un procesador de 64 bits.**
- Práctica III: Influencia del juego de instrucciones en el diseño de la UCP. Estudio comparativo de UCP's reales. (Algunas familias de procesadores propuestas como casos de estudio: Intel 80x86, Motorola 68K, MIPS R4000, PA RISC (HP), AMD y otros clónicos, etc.).
- Práctica IV: Evaluación de prestaciones en las memorias cache.
- Práctica V: **Herramientas para el diseño de Hardware Reconfigurable.**

4.- COMENTARIOS FINALES.

En el presente artículo, los profesores de la asignatura Diseño de Procesadores hemos querido presentar una propuesta de cambio en los contenidos de la misma motivados por los avances en la materia.

Queremos plantear esta propuesta ante la comunidad universitaria, con el objetivo principal de conocer otras opiniones y experiencias docentes relacionadas, generando una cierta retroalimentación.

APENDICE A. ARQUITECTURA EPIC

Podríamos definir EPIC (*Explicitly Parallel Instruction Computing*) como un nuevo estilo de arquitectura cuyo objetivo es obtener un elevado grado de paralelismo a nivel de instrucciones de los programas, consiguiendo a la vez no solamente no aumentar la complejidad del hardware sino reducirla.

En los últimos tiempos, el procesamiento paralelo a nivel de instrucciones (ILP) ha sido la única forma de aumentar el rendimiento de los procesadores de forma importante sin tener que realizar cambios importantes en el software. Sin embargo, esto ha provocado una gran complejidad en el hardware, complejidad que ha ido aumentando a medida que la industria ha querido obtener más rendimiento en los procesadores.

Los sistemas basados en Paralelismo a nivel de Instrucciones (ILP) parten de un programa en lenguaje de alto nivel escrito para procesadores secuenciales y utilizan la tecnología del compilador y el hardware para explotar el paralelismo del programa. Los dos tipos más importantes de procesadores ILP hasta la fecha son:

- Procesadores Superescalares, implementados para arquitecturas secuenciales, en los cuales el ILP debe ser explotado por el hardware. Esto implica una gran complejidad en el hardware.
- Procesadores VLIW (Very Long Instruction Word), para los cuales el programa proporciona información explícita para explotar el paralelismo. El compilador identifica el paralelismo en el programa y lo comunica al hardware indicándole qué operaciones son independientes entre sí y pueden ejecutarse en el mismo ciclo de reloj. De esta forma se simplifica el hardware. El inconveniente es que estas máquinas están orientadas a computación numérica y su rendimiento baja bastante con otro tipo de cargas.

El estilo de arquitectura EPIC es una evolución de VLIW que ha absorbido mucho del concepto superescalar. Dentro de la filosofía EPIC podríamos englobar muchos EPIC ISA (Instruction Set Architecture). En función de las características del sistema EPIC éste puede ser utilizado tanto para la implementación de procesadores de propósito general como para procesadores empotrados, siendo capaz de alcanzar un alto grado de paralelismo tanto en aplicaciones numéricas como escalares.

El principal objetivo de EPIC ha consistido en mantener la tarea de construir estáticamente un Plan de Ejecución (POE) realizada por el compilador, propia de la filosofía VLIW pero mejorarlo con características propias de los procesadores superescalares que le permitan un mejor manejo de determinados factores dinámicos.

En definitiva, está claro que el diseño en tiempo de compilación del POE es esencial a niveles altos de ILP, pero que existen ambigüedades que sólo pueden ser resueltos por mecanismos dinámicos. EPIC intenta conciliar ambas herramientas pero bajando estos mecanismos dinámicos al nivel de arquitectura, para que el compilador pueda usarlos selectivamente cuando sea necesario.

APENDICE B. DISPOSITIVOS LOGICOS PROGRAMABLES.

Los sistemas empotrados son altamente especializados. Los procesadores de propósito general no satisfacen las necesidades de aplicaciones tan dispares y el hardware a medida no resulta apropiado. Los sistemas reconfigurables combinan la flexibilidad de los procesadores de propósito general con la eficiencia del hardware a medida.

Podríamos definir un sistema reconfigurable como una serie de lógica configurable interconectada por red junto a elementos de almacenamiento, capaz de implementar una gran configuración lógica utilizando muy poco hardware y apoyándose en una rápida reconfiguración del hardware disponible.

Por ejemplo, podemos llegar a tener un sistema segmentado funcionando perfectamente incluso cuando el hardware completo de dicho sistema nunca esté presente, sino distintas configuraciones que lo componen.

Pero el éxito de un sistema reconfigurable depende también de disponer de compiladores apropiados que puedan crear configuraciones eficientes en un tiempo breve. Necesitaremos un

compilador parametrizado que pueda tratar con diferentes arquitecturas. La información sobre las diferentes arquitecturas será pasada al compilador mediante un lenguaje intermediario.

Un sistema reconfigurable puede superar a un procesador de propósito general en:

- sistemas que operan con un ancho de bit distinto del tamaño de palabra básico del procesador,
- cálculos con dependencias de datos que permiten que múltiples unidades funcionales operen en paralelo
- operaciones básicas que pueden combinarse en una única operación especializada
- sistemas que pueden ser segmentados
- sistemas que reutilizan datos de entrada

BIBLIOGRAFÍA

- [1] Michael S. Schlansker, B. Ramakrishna Rau. "EPIC: Explicitly Parallel Instruction Computing" IEEE Computer, Febrero 2000.
- [2] Seth Copen, Herman Schmit, Mihai Budiu, Srihari Cadambi, Matt Moe, R. Reed Taylor. "PipeRench: A Reconfigurable Architecture and Compiler" IEEE Computer, Abril 2000.
- [3] Lenin Lemus, Ana Pont. "Teaching Methodology at the EUI-FI". Workshop on computer architecture education (WCAE-98). 27 de Junio al 1º de Julio de 1998. Barcelona, España.
- [4] Lenin Lemus, Ana Pont. "Computer Organisation and Architecture Teaching in the University School of Computer Science and in the Computer Science Faculty of the University Polytechnic of Valencia". Workshop on computer architecture education (WCAE-98). 27 de Junio 27 al 1º de Julio de 1998. Barcelona, España.